

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



In re the Application of:

Kaori TAI

New Application

Filed: August 16, 2000

Attorney Dkt. No.: 32011-165642

For: METHOD OF PRODUCING SEMICONDUCTOR DEVICES AND ETCHING LIQUIDS

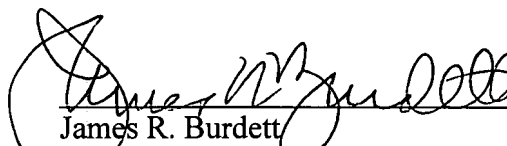
**SUBMISSION OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of Japanese Application No. 068010/2000 upon which a claim to priority was made under 35 U.S.C. §119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,

  
James R. Burdett  
Registration No. 31,594

Venable  
Post Office Box 34385  
Washington, D.C. 20043-9998  
Telephone: (202) 962-4800  
Facsimile: (202) 962-8300

Date: August 16, 2000

JRB:lrh  
#235263



**PATENT OFFICE  
JAPANESE GOVERNMENT**

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: March 13, 2000  
Application Number: 2000-068010 (068010/2000)  
Applicant(s): Oki Electric Industry Co., Ltd.

Dated June 23, 2000

Commissioner,  
Patent Office      Takahiko Kondo

Certificate No. 2000-3047705

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 3月13日

出 願 番 号

Application Number:

特願2000-068010

出 願 人

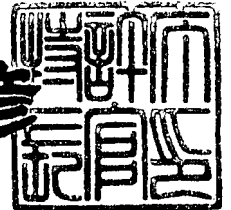
Applicant (s):

沖電気工業株式会社

2000年 6月23日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3047705

【書類名】 特許願

【整理番号】 OH003534

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/28

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社  
社内

【氏名】 田井 香織

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子の製造方法及びエッチング液

【特許請求の範囲】

【請求項 1】 窒化チタンをキャップ膜とするコバルトサリサイド技術を用いた半導体素子の製造方法において、

前記窒化チタン膜の除去に過酸化水素水混合液を用いることを特徴とする半導体素子の製造方法。

【請求項 2】 請求項 1 に記載の半導体素子の製造方法において、

前記過酸化水素水混合液の濃度は、水に対して過酸化水素を 1 ～ 3 0 v o l % の範囲内とする

ことを特徴とする半導体素子の製造方法。

【請求項 3】 請求項 2 に記載の半導体素子の製造方法において、

前記過酸化水素水混合液の濃度は、水に対して過酸化水素を 1 0 ～ 2 0 v o l % の範囲内とする

ことを特徴とする半導体素子の製造方法。

【請求項 4】 ゲート電極と拡散層とを具えたシリコン基板の上面側にコバルト膜を形成する工程と、

前記コバルト膜の上面側にキャップ膜としての窒化チタン膜を形成する工程と

前記シリコン基板のシリコンと前記コバルト膜のコバルトとを選択的に反応させる工程と、

前記窒化チタン膜を過酸化水素水混合液を用いて除去する工程とを含むことを特徴とする半導体素子の製造方法。

【請求項 5】 チタン膜をキャップ膜とするコバルトサリサイド技術を用いた半導体素子の製造方法において、

前記チタン膜の除去に過酸化水素水混合液を用いることを特徴とする半導体素子の製造方法。

【請求項 6】 請求項 5 に記載の半導体素子の製造方法において、

前記過酸化水素水混合液の濃度は、水に対して過酸化水素 1 ～ 3 0 v o l % の

範囲内とする

ことを特徴とする半導体素子の製造方法。

【請求項 7】 請求項 6 に記載の半導体素子の製造方法において、

前記過酸化水素水混合液の濃度は、水に対して過酸化水素 1 0 ～ 2 0 v o 1 % の範囲内とする

ことを特徴とする半導体素子の製造方法。

【請求項 8】 ゲート電極と拡散層とを具えたシリコン基板の上面側にコバルト膜を形成する工程と、

前記コバルト膜の上面側にキャップ膜としてのチタン膜を形成する工程と、

前記シリコン基板のシリコンと前記コバルト膜のコバルトとを選択的に反応させる工程と、

前記チタン膜を過酸化水素水混合液を用いて除去する工程とを含むことを特徴とする半導体素子の製造方法。

【請求項 9】 窒化チタンをキャップ膜とするコバルトサリサイド技術を用いた半導体素子の製造方法において、

前記窒化チタン膜を除去する際に、第 1 段階はアンモニア－過酸化水素－水－混合液を用いて除去し、第 2 段階は過酸化水素水混合液を用いて除去することを特徴とする半導体素子の製造方法。

【請求項 1 0】 請求項 9 に記載の半導体素子の製造方法において、

前記アンモニア－過酸化水素－水－混合液の濃度は、水に対して過酸化水素 1 ～ 3 0 v o 1 % の範囲内及び水に対してアンモニア 1 ～ 3 0 v o 1 % の範囲内とし、前記過酸化水素水混合液の濃度は、水に対して過酸化水素 1 ～ 3 0 v o 1 % の範囲内とする

ことを特徴とする半導体素子の製造方法。

【請求項 1 1】 請求項 1 0 に記載の半導体素子の製造方法において、

前記アンモニア－過酸化水素－水－混合液の濃度は、水に対して過酸化水素 1 0 ～ 2 0 v o 1 % の範囲内及び水に対してアンモニア 5 ～ 2 0 v o 1 % の範囲内とし、前記過酸化水素水混合液の濃度は、水に対して過酸化水素 1 ～ 3 0 v o 1 % の範囲内とする

ことを特徴とする半導体素子の製造方法。

【請求項 1 2】 ゲート電極と拡散層とを具えたシリコン基板の上面側にコバルト膜を形成する工程と、

前記コバルト膜の上面側にキャップ膜としての窒化チタン膜を形成する工程と

、  
前記シリコン基板のシリコンと前記コバルト膜のコバルトとを選択的に反応させる工程と、

前記窒化チタン膜を、第 1 段階はアンモニア－過酸化水素－水－混合液を用いて除去し、第 2 段階は過酸化水素水混合液を用いて除去する工程とを含むことを特徴とする半導体素子の製造方法。

【請求項 1 3】 チタン膜をキャップ膜とするコバルトサリサイド技術を用いた半導体素子の製造方法において、

前記チタン膜を除去する際に、第 1 段階はアンモニア－過酸化水素－水－混合液を用いて除去し、第 2 段階は過酸化水素水混合液を用いて除去することを特徴とする半導体素子の製造方法。

【請求項 1 4】 請求項 1 3 に記載の半導体素子の製造方法において、

前記アンモニア－過酸化水素－水－混合液の濃度は、水に対して過酸化水素 1 ～ 3 0 v o l % の範囲内及び水に対してアンモニア 1 ～ 3 0 v o l % の範囲内とし、前記過酸化水素水混合液の濃度は、水に対して過酸化水素 1 ～ 3 0 v o l % の範囲内とする

ことを特徴とする半導体素子の製造方法。

【請求項 1 5】 請求項 1 4 に記載の半導体素子の製造方法において、

前記アンモニア－過酸化水素－水－混合液の濃度は、水に対して過酸化水素 1 0 ～ 2 0 v o l % の範囲内及び水に対してアンモニア 5 ～ 2 0 v o l % とし、前記過酸化水素水混合液の濃度は、水に対して 1 ～ 3 0 v o l % の範囲内とすることを特徴とする半導体素子の製造方法。

【請求項 1 6】 ゲート電極と拡散層とを具えたシリコン基板の上面側にコバルト膜を形成する工程と、

前記コバルト膜の上面側にキャップ膜としてのチタン膜を形成する工程と、

前記シリコン基板のシリコンと前記コバルト膜のコバルトとを選択的に反応させる工程と、

前記チタン膜を、第 1 段階はアンモニア-過酸化水素-水-混合液を用いて除去し、第 2 段階は過酸化水素水混合液を用いて除去する工程とを含むことを特徴とする半導体素子の製造方法。

【請求項 1 7】 コバルト膜又は珪化コバルト ( $\text{CoSi}$ ) の上面側にある窒化チタン膜を除去するためのエッチング液において、該エッチング液を過酸化水素水混合液としたことを特徴とするエッチング液。

【請求項 1 8】 コバルト膜又は珪化コバルト ( $\text{CoSi}$ ) の上面側にあるチタン膜を除去するためのエッチング液において、該エッチング液を過酸化水素水混合液としたことを特徴とするエッチング液。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は半導体素子の製造方法及び当該製造に用いるエッチング液に関する。

【0 0 0 2】

【従来の技術】

近年、デバイスの微細化が進み、ゲート配線抵抗、トランジスタのソース・ドレイン部の寄生抵抗、及びコンタクト抵抗が上昇するために、スケーリング則で期待できるほどの高速化が実現できないという問題が生じる。

【0 0 0 3】

そこで、ゲート及び拡散層領域に自己整合的に高融点金属のシリサイド膜を形成して、シート抵抗の低抵抗化を実現できるシリサイド ( $\text{Self-Aligned Silicide}$ ) 技術が用いられている。特に、低抵抗化及び熱的安定性の観点から、チタンシリサイド ( $\text{TiSi}_2$ ) 及びコバルトシリサイド ( $\text{CoSi}_2$ ) が用いられている。



## 【 0 0 0 4 】

チタンシリサイドを用いた場合、微細なパターン上にチタンシリサイドを形成すると、高抵抗のC49相のチタンシリサイド(C49-TiSi<sub>2</sub>)から低抵抗のC54相(C54-TiSi<sub>2</sub>)への相転移が抑制されるため、低抵抗化が困難になるという細線効果の問題が生じる。また、0.1 μm以下まで細線化すると、チタンシリサイドが凝集してシリサイド層が断線するため、チタンシリサイドのシート抵抗が急激に増加することが知られている。従って、チタンシリサイドを用いる場合には、細線効果及びチタンシリサイドの凝集の発生を抑制することが必要となる。

## 【 0 0 0 5 】

コバルトシリサイドを用いた場合、チタンシリサイドを用いた場合に発生するような細線効果が生じない。特に、コバルトの上面側に窒化チタンをキャップ膜として成膜し、このキャップ膜でコバルト表面の酸化を抑制することによって、0.075 μmの細線まで低抵抗化を測ることができたことが1995 IEDM Tech Dig. p449に報告されている。

## 【 0 0 0 6 】

そのため、0.1 μmの微細なデバイスを形成するには、窒化チタンキャップ膜を用いたコバルトシリサイド技術が有用であると考えられている。

## 【 0 0 0 7 】

以下、図3を参照してコバルトシリサイド技術を用いた従来の半導体素子の製造方法を説明する。図3(A)～(F)は、この従来技術の製造工程を示す半導体素子の断面図である。

## 【 0 0 0 8 】

まず、図3(A)に示すように、基板100の上面側の表面領域に拡散層102及びフィールド絶縁膜104を、基板100の上面側にゲート絶縁膜106、ゲート絶縁膜106の上面側にゲート電極108をそれぞれ形成する。然る後、通常の如く、サイドウォール109を設ける。

## 【 0 0 0 9 】

次に、図3(B)に示すように、基板100、拡散層102、フィールド絶縁

膜 1 0 4、ゲート絶縁膜 1 0 6、ゲート電極 1 0 8 及びサイドウォール 1 0 9 を覆うようにコバルト膜 1 1 0 と、コバルト膜 1 1 0 の上面側を覆うようにキャップ膜として窒化チタン膜 1 1 2 とを成膜する。

【 0 0 1 0 】

次に、図 3 (C) に示すように、拡散層 1 0 2 に接しているコバルト膜 1 1 0 と拡散層 1 0 2 とを、及びゲート電極 1 0 8 に接しているコバルト膜 1 1 0 とゲート電極 1 0 8 とをそれぞれ、4 5 0 °C ~ 6 0 0 °C の R T A ( r a p i d t h e r m a l a n n e a l i n g ) 処理を行うことにより反応させて、C o S i 層 1 1 4 a、1 1 4 b 及び 1 1 6 を形成する。この R T A 処理を第 1 R T A とする。

【 0 0 1 1 】

次に、図 3 (D) に示すように、窒化チタン膜 1 1 2 をアンモニア-過酸化水素-水-混合液を用いて除去する。

【 0 0 1 2 】

その後、図 3 (E) に示すように、未反応のコバルト膜 1 1 0 を硫酸-過酸化水素-水-混合液又は、塩酸-過酸化水素-水-混合液を用いて除去する。

【 0 0 1 3 】

最後に、図 3 (F) に示すように、C o S i 層 1 1 4 a、1 1 4 b 及び 1 1 6 を 7 5 0 °C ~ 9 0 0 °C の R T A 処理を行うことにより反応させて、C o S i <sub>2</sub> 層 1 1 4 a'、1 1 4 b' 及び 1 1 6' を形成する。この R T A 処理を第 2 R T A とする。

【 0 0 1 4 】

【発明が解決しようとする課題】

従来技術を用いて製造された半導体素子は、C o S i <sub>2</sub> 層部分 1 1 4 a'、1 1 4 b' 及び 1 1 6' を S E M (電子顕微鏡) の観察により、C o S i <sub>2</sub> 層のエッジ部分が削れていることが確認された。

【 0 0 1 5 】

図 4 は、S E M 観察により C o S i <sub>2</sub> のエッジ部分が削れていることを模式的に示したものである。また、図 4 は、図 3 の (F) 工程における図の要部を拡大

したものである。点線部分 a は、前述したエッチングによってエッジの削れた部分を示している。

【0016】

このように  $\text{CoSi}_2$  の削れが生じると  $\text{CoSi}_2$  のシート抵抗値が増加して、抵抗値のばらつきが大きくなる等の問題が生じる。この原因は、窒化チタン膜を硫酸－過酸化水素－水－混合液で除去する際、窒化チタン膜の下面側にある  $\text{CoSi}$  層までがエッチングされてしまい、そのため、 $\text{CoSi}$  層が薄くなって、その後の第2RTA処理にて形成された  $\text{CoSi}_2$  層も薄くなってしまったためである。

【0017】

そこで、 $\text{CoSi}$  層を薄膜化せず、窒化チタン膜を除去することができるエッチング液及び半導体素子の製造方法の出現が求められていた。

【0018】

【課題を解決するための手段】

この発明によれば、窒化チタンをキャップ膜とするコバルトサリサイド技術を用いた半導体素子の製造方法において、窒化チタン膜の除去に過酸化水素水混合液（過酸化水素－水－混合液ともいう。）をエッチング液として用いている。

【0019】

このように、過酸化水素水混合液を用いれば、コバルト膜及び  $\text{CoSi}$  層への影響なく、窒化チタン膜を除去することが可能である。

【0020】

また、過酸化水素水混合液の濃度は、好ましくは、水に対して過酸化水素を1～30vol%の範囲内とするのが良い。

【0021】

このような濃度範囲にすれば、エッチング速度の制御が可能で、かつ、エッチング液がコバルト膜及び  $\text{CoSi}$  層に触れたとしてもコバルト膜及び  $\text{CoSi}$  層を除去せずに窒化チタン膜の除去が可能である。

【0022】

また、過酸化水素水混合液の濃度は、好ましくは、水に対して過酸化水素を1

0 ~ 2 0 v o l % の範囲内とするのが良い。

【 0 0 2 3 】

このような濃度範囲にすれば、窒化チタン膜の除去を効率良く行うことができる。

【 0 0 2 4 】

さらに、この発明の製造方法によれば、ゲート電極と拡散層とを具えたシリコン基板の上面側にコバルト膜を形成する工程と、このコバルト膜の上面側にキャップ膜としての窒化チタン膜を形成する工程と、シリコン基板のシリコンとコバルト膜のコバルトとを選択的に反応させる工程と、窒化チタン膜を過酸化水素水混合液を用いて除去する工程とを含んでいる。

【 0 0 2 5 】

このような製造方法を用いれば、窒化チタン膜の下面側にある、反応して形成されたC o S i 層及び未反応のコバルト膜をエッチングすることなく、窒化チタン膜を除去することが可能である。

【 0 0 2 6 】

また、このようにコバルト膜及びC o S i 層への影響なく窒化チタン膜を除去することができるため、第2 R T A 後のC o S i<sub>2</sub>層の薄膜化を防止することができる。すなわち、C o S i<sub>2</sub>のシート抵抗値の増加及び抵抗値のばらつきを大きくすることを回避できる。

【 0 0 2 7 】

この発明のチタンをキャップ膜とするコバルトサリサイド技術を用いた半導体素子の製造方法によれば、チタン膜を除去するのに過酸化水素水混合液をエッチング液として用いている。

【 0 0 2 8 】

このように、過酸化水素水混合液を用いれば、コバルト膜及びC o S i 層への影響なく、チタン膜を除去することが可能である。

【 0 0 2 9 】

また、過酸化水素水混合液の濃度は、好ましくは、水に対して過酸化水素を1 ~ 3 0 v o l % の範囲内とするのが良い。

## 【0030】

このような濃度範囲にすれば、エッチング速度の制御が可能で、かつ、エッチング液がコバルト膜及びC o S i 層に触れたとしてもコバルト膜及びC o S i 層を除去せずに窒化チタン膜の除去が可能である。

## 【0031】

また、過酸化水素水混合液の濃度は、好ましくは、水に対して過酸化水素を10～20 v o l %の範囲内とするのが良い。

## 【0032】

このような濃度範囲にすれば、チタン膜の除去を効率良く行うことができる。

## 【0033】

さらに、この発明の製造方法は、ゲート電極と拡散層とを具えたシリコン基板の上面側にコバルト膜を形成する工程と、このコバルト膜の上面側にキャップ膜としてのチタン膜を形成する工程と、シリコン基板のシリコンとコバルト膜のコバルトとを選択的に反応させる工程と、チタン膜を過酸化水素水混合液を用いて除去する工程とを含んでいる。

## 【0034】

このような製造方法を用いれば、チタン膜の下面側にある反応して形成されたC o S i 層及び未反応のコバルト膜をエッチングすることなく、チタン膜を除去することが可能である。

## 【0035】

また、このようにコバルト膜及びC o S i 層への影響なくチタン膜を除去することができるため、C o S i <sub>2</sub> 層の薄膜化を防止することができる。すなわち、C o S i <sub>2</sub> のシート抵抗値の増加及び抵抗値のばらつきの増大を回避することができる。

## 【0036】

この発明の窒化チタンをキャップ膜とするコバルトサリサイド技術を用いた半導体素子の製造方法によれば、窒化チタン膜を除去する際に、第1段階はアンモニア-過酸化水素-水-混合液を用いて除去し、第2段階は過酸化水素水混合液を用いて除去している。

## 【0037】

このような方法を用いれば、コバルト膜及びC o S i 層への影響なく窒化チタン膜を除去することができる。また、窒化チタンに対するエッチング速度がアンモニア-過酸化水素-水-混合液の方が過酸化水素水混合液よりも速いため、過酸化水素水混合液のみを用いるよりも、効率良く窒化チタン膜を除去することができる。

## 【0038】

また、アンモニア-過酸化水素-水-混合液の濃度は、好ましくは、水に対して過酸化水素1～30 v o l %の範囲内及び水に対してアンモニア1～30 v o l %の範囲内とし、前記過酸化水素水混合液の濃度は、好ましくは、水に対して過酸化水素1～30 v o l %の範囲内とするのが良い。

## 【0039】

このような濃度範囲にすれば、エッチング速度の制御が可能で、かつ、エッチング液がコバルト膜及びC o S i 層に触れたとしてもコバルト膜及びC o S i 層を除去せずに窒化チタン膜の除去が可能である。

## 【0040】

また、アンモニア-過酸化水素-水-混合液の濃度は、好ましくは、水に対して過酸化水素10～20 v o l %の範囲内及び水に対してアンモニア5～20 v o l %の範囲内とし、前記過酸化水素水混合液の濃度は、好ましくは、水に対して過酸化水素1～30 v o l %の範囲内とするのが良い。

## 【0041】

このような濃度範囲にすれば、窒化チタン膜の除去を効率良く行うことができる。

## 【0042】

さらに、この発明の製造方法によれば、ゲート電極と拡散層とを具えたシリコン基板の上面側にコバルト膜を形成する工程と、このコバルト膜の上面側にキャップ膜としての窒化チタン膜を形成する工程と、シリコン基板のシリコンとコバルト膜のコバルトとを選択的に反応させる工程と、窒化チタン膜を、第1段階はアンモニア-過酸化水素-水-混合液を用いて除去し、第2段階は過酸化水素水

混合液を用いて除去する工程とを含んでいる。

【 0 0 4 3 】

このような方法を用いれば、コバルト膜及びC o S i 層への影響なく窒化チタン膜を除去することができる。また、窒化チタンに対するエッチング速度がアンモニア-過酸化水素-水-混合液の方が過酸化水素水混合液よりも速いため、過酸化水素水混合液のみを用いるよりも、効率良く窒化チタン膜を除去することができる。

【 0 0 4 4 】

この発明のチタンをキャップ膜とするコバルトサリサイド技術を用いた半導体素子の製造方法は、チタン膜を除去する際に、第1段階はアンモニア-過酸化水素-水-混合液を用いて除去し、第2段階は過酸化水素水混合液を用いて除去している。

【 0 0 4 5 】

このような方法を用いれば、コバルト膜及びC o S i 層への影響なくチタン膜を除去することができる。また、チタン膜に対するエッチング速度がアンモニア-過酸化水素-水-混合液の方が過酸化水素水混合液よりも速いため、過酸化水素水混合液のみを用いるよりも、効率良くチタン膜を除去することができる。

【 0 0 4 6 】

また、アンモニア-過酸化水素-水-混合液の濃度は、好ましくは、水に対して過酸化水素1～30 v o l %の範囲内及び水に対してアンモニア1～30 v o l %の範囲内とし、前記過酸化水素水混合液の濃度は、好ましくは、水に対して過酸化水素1～30 v o l %の範囲内とするのが良い。

【 0 0 4 7 】

このような濃度範囲にすれば、エッチング速度の制御が可能で、かつ、エッチング液がコバルト膜及びC o S i 層に触れたとしてもコバルト膜及びC o S i 層を除去せずにチタン膜の除去が可能である。

【 0 0 4 8 】

また、アンモニア-過酸化水素-水-混合液の濃度は、好ましくは、水に対して過酸化水素10～20 v o l %及び水に対してアンモニア5～20 v o l %の

範囲内とし、前記過酸化水素水混合液の濃度は、好ましくは、水に対して過酸化水素 1～30 vol % の範囲内とするのが良い。

## 【0049】

このような濃度範囲にすれば、チタン膜の除去を効率良く行うことができる。

## 【0050】

さらに、この発明の製造方法は、ゲート電極と拡散層とを具えたシリコン基板の上面側にコバルト膜を形成する工程と、このコバルト膜の上面側にキャップ膜としてのチタン膜を形成する工程と、シリコン基板のシリコンとコバルト膜のコバルトとを選択的に反応させる工程と、チタン膜を、第1段階はアンモニア-過酸化水素-水-混合液を用いて除去し、第2段階は過酸化水素水混合液を用いて除去する工程とを含んでいる。

## 【0051】

このような方法を用いれば、コバルト膜及びC o S i 層への影響なくチタン膜を除去することができる。また、チタンに対するエッチング速度がアンモニア-過酸化水素-水-混合液の方が過酸化水素水混合液よりも速いため、過酸化水素水混合液のみを用いるよりも、効率良くチタン膜を除去することができる。

## 【0052】

この発明によれば、コバルト膜又はC o S i 層の上面側にある窒化チタン膜を除去するためのエッチング液を、過酸化水素水混合液とする。

## 【0053】

このように、過酸化水素水混合液を用いれば、C o S i 層のエッチングが抑制できるため、C o S i<sub>2</sub>層の薄膜化を防止することができる。すなわち、C o S i<sub>2</sub>のシート抵抗値の増加及び抵抗値のばらつきの増大を回避することができる。

## 【0054】

この発明によれば、コバルト膜又はC o S i 層の上面側にあるチタン膜を除去するためのエッチング液を、過酸化水素水混合液とする。

## 【0055】

このように、過酸化水素水混合液を用いれば、C o S i 層のエッチングが抑制



できるため、 $\text{CoSi}_2$ 層の薄膜化を防止できる。すなわち、 $\text{CoSi}_2$ のシート抵抗値の増加及び抵抗値のばらつきの増大を回避することができる。

【0056】

【発明の実施の形態】

以下、図を参照して、この発明の実施の形態につき説明する。尚、図はこの発明が理解できる程度に、形状、大きさ及び配置関係を概略的に示しているに過ぎない。また、以下に記載される数値等の条件や材料等は単なる一例に過ぎない。よって、この発明は、この実施の形態に何ら限定されることがない。

【0057】

まず、窒化チタン膜、コバルト膜及び $\text{CoSi}$ 層に対するアンモニア-過酸化水素-水-混合液、硫酸-過酸化水素-水-混合液、塩酸-過酸化水素-水-混合液及び過酸化水素水混合液による、それぞれのエッチングレートを表1に示す。この際、エッチングはそれぞれの混合液温度を $40^{\circ}\text{C} \sim 50^{\circ}\text{C}$ の温度範囲として行った。

【0058】

【表1】

	TiN膜	Co膜	CoSi層
アンモニア-過酸化水素-水-混合液	107 Å/min	4.7 Å/min	2.6 Å/min
過酸化水素-水-混合液	37.4 Å/min	0 Å/min	0 Å/min
硫酸-過酸化水素-水-混合液	5 Å/min	1000 Å/min 以上	0 Å/min
塩酸-過酸化水素-水-混合液	9 Å/min	1000 Å/min 以上	0 Å/min

【0059】

表1に示すように、アンモニア-過酸化水素-水-混合液の窒化チタン膜、コバルト膜及び $\text{CoSi}$ 層に対するエッチングレートは、それぞれ、 $107 \text{ Å/min}$ 、 $4.7 \text{ Å/min}$ 及び $2.6 \text{ Å/min}$ であり、過酸化水素水混合液の窒化チタン膜、コバルト膜及び $\text{CoSi}$ 層に対するエッチングレートは、それぞれ

、 $37.4 \text{ \AA}/\text{min}$ 、 $0 \text{ \AA}/\text{min}$ 及び $0 \text{ \AA}/\text{min}$ であり、硫酸-過酸化水素-水-混合液の窒化チタン膜、コバルト膜及び $\text{CoSi}$ 層に対するエッチングレートは、それぞれ、 $5 \text{ \AA}/\text{min}$ 、 $1000 \text{ \AA}/\text{min}$ 以上及び $0 \text{ \AA}/\text{min}$ であり、塩酸-過酸化水素-水-混合液の窒化チタン膜、コバルト膜及び $\text{CoSi}$ 層に対するエッチングレートは、それぞれ、 $9 \text{ \AA}/\text{min}$ 、 $1000 \text{ \AA}/\text{min}$ 以上及び $0 \text{ \AA}/\text{min}$ であった。

## 【0060】

上述の結果より、アンモニア-過酸化水素-水-混合液は、エッチングレートは小さいが、 $\text{CoSi}$ 層をエッチングすることが明らかである。従って、窒化チタン膜厚が薄い部分は、窒化チタン及びチタンがエッチングされた後、コバルト膜及び $\text{CoSi}$ 層がエッチング液に触れると、さらにコバルト膜及び $\text{CoSi}$ 層をもエッチングして、膜厚を薄くしてしまう。

## 【0061】

それに対し、過酸化水素水混合液は、コバルト膜及び $\text{CoSi}$ 層に対するエッチングレートは $0 \text{ \AA}/\text{min}$ であるため、窒化チタン膜厚が薄い部分においても、 $\text{CoSi}$ がエッチングされる恐れがない。

## 【0062】

(第1の実施の形態)

次に、図1を参照して、第1の実施の形態における半導体素子の製造方法について説明する。

## 【0063】

図1(A)～図1(F)は、第1の実施の形態における半導体素子の製造方法の製造工程を説明するための断面図である。

## 【0064】

図1(A)に示すように、従来と同様に、シリコンの基板10の上面側の表面領域に拡散層12及びフィールド絶縁膜14を形成し、さらに、基板10の上面側にゲート絶縁膜16、ゲート絶縁膜16の上面側にポリシリコンでゲート電極18を形成する。然る後、ゲート電極18の側面に、通常の如く、サイドウォール19を形成する。

## 【0065】

次に、図1（B）に示すように、基板10、拡散層12、フィールド絶縁膜14、ゲート絶縁膜16、ゲート電極18及びサイドウォール19を覆うようにコバルト膜20を5～20nmの範囲内の適当な厚みでスパッタ法により成膜する。続いて、コバルト膜20の上面側を覆うようにキャップ膜として窒化チタン膜22を10～100nmの範囲内の適当な厚みでスパッタ法により成膜する。

## 【0066】

次に、図1（C）に示すように、拡散層12に接しているコバルト膜20と拡散層12との間で、及びゲート電極18に接しているコバルト膜20とゲート電極18との間で、それぞれ450℃～600℃の第1RTA処理を行うことにより反応させて、CoSi層24a、24b及び26を形成する。このRTA処理において、フィールド絶縁膜14及びサイドウォール19と接しているコバルト膜20の部分は、未反応のコバルト膜として残存する。

## 【0067】

次に、図1（D）に示すように、窒化チタン膜22を過酸化水素水混合液、ここでは例えば、濃度が水に対して過酸化水素20vol%（ $\text{H}_2\text{O}_2$ ： $\text{H}_2\text{O}$ =1：5（容積比））の過酸化水素水混合液を用いて除去する。

## 【0068】

その後、図1（E）に示すように、未反応のコバルト膜20を硫酸－過酸化水素－水－混合液又は塩酸－過酸化水素－水－混合液を用いて除去する。ここでは例えば、硫酸－過酸化水素－水－混合液、濃度は水に対して硫酸20vol%及び水に対して過酸化水素20vol%（ $\text{H}_2\text{SO}_4$ ： $\text{H}_2\text{O}_2$ ： $\text{H}_2\text{O}$ =1：1：5（容積比））を用いて除去する。この除去により、CoSi層24a、24b及び26は残存する。

## 【0069】

最後に、図1（F）に示すように、残存しているCoSi層24a、24b及び26を750℃～900℃の第2RTA処理を行うことにより基板及びゲート電極のシリコンSiと反応させて、 $\text{CoSi}_2$ 層24a'、24b'及び26'を形成する。

## 【 0 0 7 0 】

このように、この発明の製造方法を用いれば、C o S i 層へのエッチングを抑制できるため、窒化チタンを除去する際、エッチング液がコバルト膜及びC o S i 層に触れたとしてもコバルト膜及びC o S i 層を薄膜化させることなく窒化チタン膜の除去が可能である。

## 【 0 0 7 1 】

従って、その後の第2 R T A 処理で形成された、C o S i <sub>2</sub> のシート抵抗値の増加及び抵抗値のばらつきの増大を回避することができる。

## 【 0 0 7 2 】

また、窒化チタン膜の代わりにチタン膜を用いても良い。

## 【 0 0 7 3 】

さらに、第1の実施の形態において、エッチングする際、それぞれの混合液温度は4 0 ° C ~ 5 0 ° C にて行ったが、エッチングレートを上げたい場合はそれぞれの混合液温度を上げ、エッチングレートを下げたい場合はそれぞれの混合液温度を下げる等して、エッチングレートを調整することも可能である。

## 【 0 0 7 4 】

(第2の実施の形態)

図2を参照して、第2の実施の形態における半導体素子の製造方法について説明する。

## 【 0 0 7 5 】

図2 ( A ) ~ 図2 ( G ) は、第2の実施の形態における半導体素子の製造方法を説明するための製造工程図である。

## 【 0 0 7 6 】

図2 ( A ) に示すように、シリコンの基板5 0 の上面側の表面領域に拡散層5 2 及びフィールド絶縁膜5 4 を、基板5 0 の上面側にゲート絶縁膜5 6 、ゲート絶縁膜5 6 の上面側にポリシリコンのゲート電極5 8 を形成する。然る後、ゲート電極5 8 の側面に、通常の如く、サイドウォール5 9 を形成する。

## 【 0 0 7 7 】

次に、図2 ( B ) に示すように、基板5 0 、拡散層5 2 、フィールド絶縁膜5

4、ゲート絶縁膜56及びゲート電極58を覆うようにコバルト膜60を5～20nmの範囲内の適当な厚みにスパッタ法により形成する。続いて、コバルト膜60の上面側を覆うようにキャップ膜として窒化チタン膜62を10～100nmの範囲内の適当な厚みにスパッタ法により成膜する。

#### 【0078】

次に、図2(C)に示すように、拡散層52に接しているコバルト膜60と拡散層52との間で、及びゲート電極58に接しているコバルト膜60とゲート電極58との間で、それぞれ450℃～600℃の第1RTA処理を行うことにより反応させて、CoSi層64a、64b及び66を形成する。このRTA処理により、フィールド絶縁膜54及びサイドウォール59と接しているコバルト膜60の部分は、未反応コバルト膜として残存する。

#### 【0079】

次に、図2(D)に示すように、膜厚が最も薄いところでもCoSi層が露出しないような時間だけ、窒化チタン膜62をアンモニア過酸化水素-水-混合液、ここでは例えば、濃度が水に対してアンモニア20vol% ( $\text{NH}_3 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$  (容積比)) を用いて除去する。

#### 【0080】

例えば、窒化チタン膜の膜厚が300Åの場合、最も膜厚が薄い部分が150Åだとすると、窒化チタン膜を100Åエッチングする時間に設定する。この実施例においては、表1に示すように、アンモニア過酸化水素-水-混合液の窒化チタン膜に対するエッチングレートは107Å/minであるため、56秒に設定してエッチングを行うと良い。このように窒化チタン膜のもっとも薄い膜厚をあらかじめ測定し、窒化チタン膜の下面側にあるコバルト膜及びCoSi層にエッチング液が影響しないような時間設定を行えば良い。

#### 【0081】

次に、図2(E)に示すように、図2(D)において窒化チタン膜62の残った部分を過酸化水素水混合液、ここでは例えば、濃度が水に対して過酸化水素20vol% ( $\text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 5$  (容積比)) を用いて除去する。

#### 【0082】

その後、図 2 (F) に示すように、未反応のコバルト膜 6 0 を硫酸－過酸化水素－水－混合液又は塩酸－過酸化水素－水－混合液を用いて除去する。ここでは例えば、硫酸－過酸化水素－水－混合液、濃度は水に対して硫酸 2 0 v o l % 及び水に対して過酸化水素 2 0 v o l % ( $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$  (容積比)) を用いて除去する。

【0083】

最後に、図 2 (G) に示すように、C o S i 層 6 4 a、6 4 b 及び 6 6 を 7 5  $^{\circ}\text{C}$  ~ 9 0 0  $^{\circ}\text{C}$  の第 2 R T A 処理を行うことにより反応させて、C o S i<sub>2</sub> 層 6 4 a'、6 4 b' 及び 6 6' を形成する。

【0084】

また、窒化チタン膜の代わりにチタン膜を用いても良い。

【0085】

このような製造方法を用いれば、第 1 の実施の形態における工程よりも早く製造することができる。

【0086】

さらに、第 2 の実施の形態において、エッチングの際、混合液温度は 4 0  $^{\circ}\text{C}$  ~ 5 0  $^{\circ}\text{C}$  で行ったが、エッチングレートを上げたい場合は混合液温度を上げ、エッチングレートを下げたい場合はエッチング混合液温度を下げる等して、エッチングレートを調整することも可能である。

【0087】

【発明の効果】

この発明の半導体素子の製造方法である、窒化チタン膜を除去する際のエッチング液をアンモニア－過酸化水素－水－混合液から過酸化水素水混合液に代えることで、C o S i 層に対するエッチングレートを抑制できるため、C o S i<sub>2</sub> 層の薄膜化が起こらず、拡散層やゲート電極において良好なシート抵抗値が得られる。

【0088】

また、窒化チタンに対するエッチングレートは、アンモニア－過酸化水素－水－混合液の方が、過酸化水素水混合液よりも大きいため、窒化チタン膜厚の一番

薄い部分がエッチングされつくす前までアンモニア－過酸化水素－水－混合液を用いて除去し、残りの窒化チタン膜を過酸化水素水混合液で除去することによって、拡散層やゲート電極において良好なシート抵抗値が得られるばかりでなく、製造時間の短縮を図ることも可能である。

【図面の簡単な説明】

【図 1】

(A) ～ (F) は第 1 の実施の形態における半導体素子の製造工程図である。

【図 2】

(A) ～ (G) は第 2 の実施の形態における半導体素子の製造工程図である。

【図 3】

(A) ～ (F) は従来技術における半導体素子の製造工程図である。

【図 4】

従来技術の問題点を示した図である。

【符号の説明】

- 1 0 : 基板
- 1 2 : 拡散層
- 1 4 : フィールド絶縁膜
- 1 6 : ゲート絶縁膜
- 1 8 : ゲート電極
- 1 9 : サイドウォール
- 2 0 : コバルト膜
- 2 2 : 窒化チタン膜又はチタン膜
- 2 4 a、2 4 b、2 6 :  $\text{CoSi}$  層
- 2 4 a'、2 4 b'、2 6' :  $\text{CoSi}_2$  層
- 5 0 : 基板
- 5 2 : 拡散層
- 5 4 : フィールド絶縁膜
- 5 6 : ゲート絶縁膜
- 5 8 : ゲート電極

5 9 : サイドウォール

6 0 : コバルト膜

6 2 : 窒化チタン膜又はチタン膜

6 4 a、6 4 b、6 6 : C o S i 層

6 4 a'、6 4 b'、6 6' : C o S i<sub>2</sub>層

1 0 0 : 基板

1 0 2 : 拡散層

1 0 4 : フィールド絶縁膜

1 0 6 : ゲート絶縁膜

1 0 8 : ゲート電極

1 0 9 : サイドウォール

1 1 0 : コバルト膜

1 1 2 : 窒化チタン膜

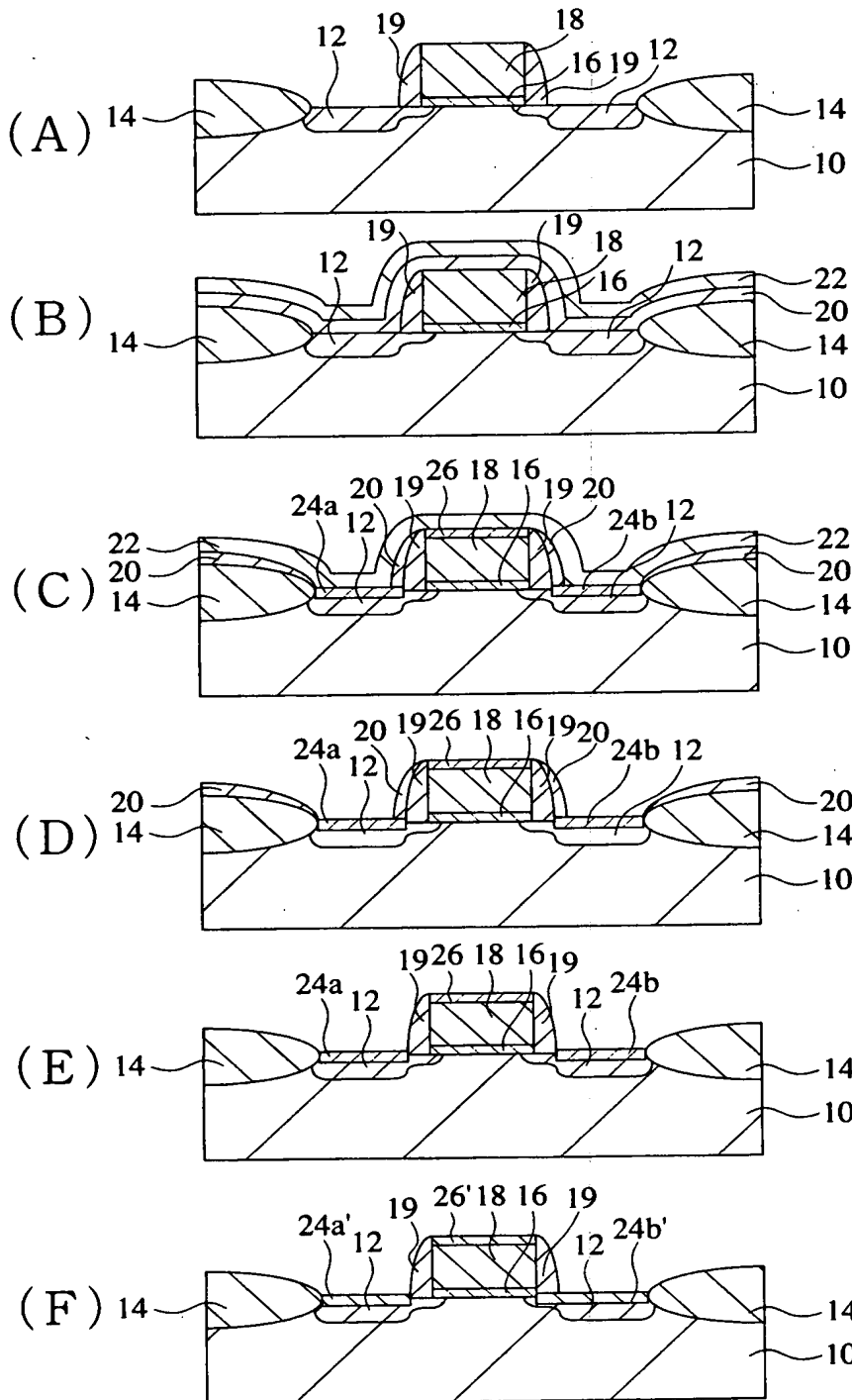
1 1 4 a、1 1 4 b、1 1 6 : C o S i 層

1 1 4 a'、1 1 4 b'、1 1 6' : C o S i<sub>2</sub>層



【書類名】 図面

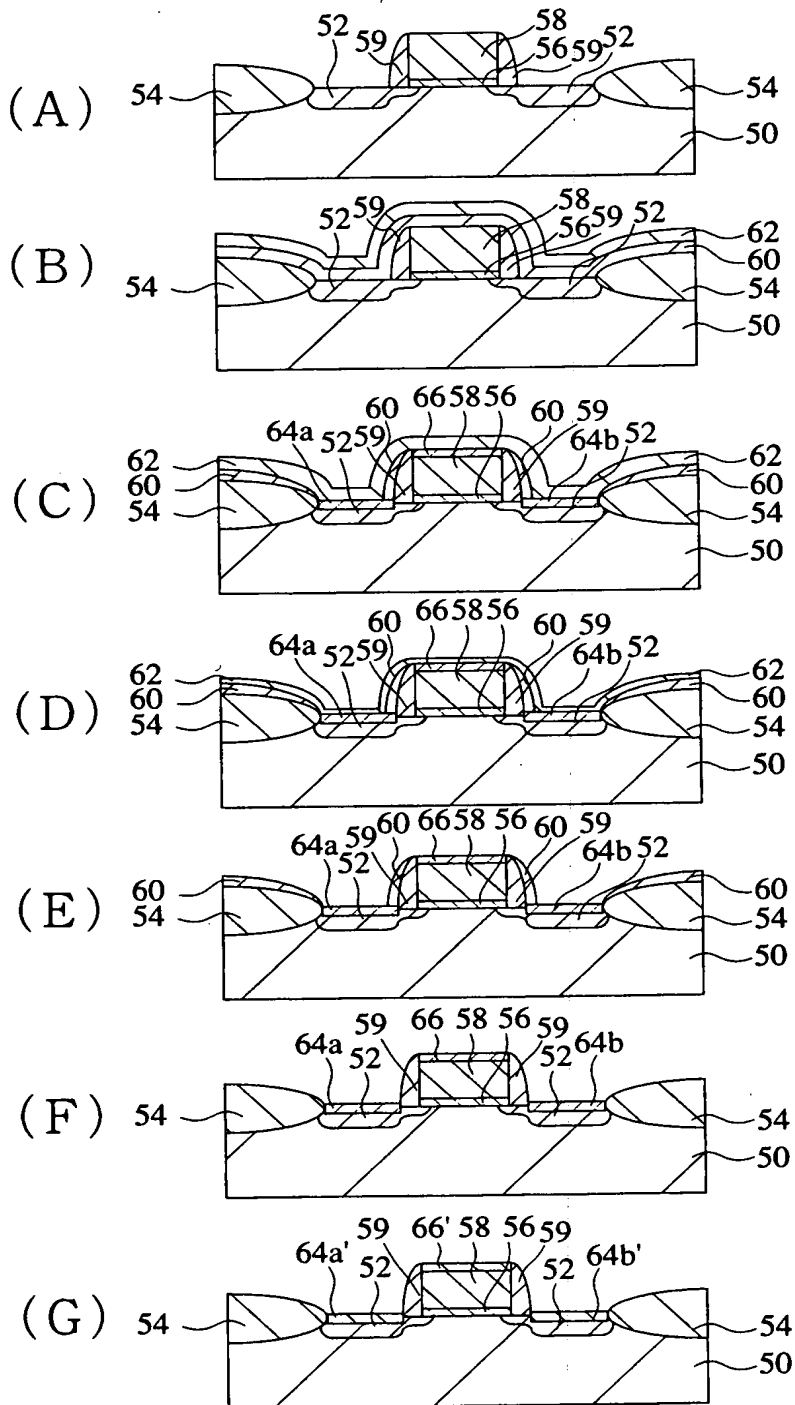
【図 1】



10：基板 12：拡散層 14：フィールド絶縁膜 16：ゲート絶縁膜  
 18：ゲート電極 19：サイドウォール 20：コバルト膜  
 22：窒化チタン膜又はチタン膜 24a,24b,26：CoSi層 24a',24b',26'：CoSi<sub>2</sub>層

第 1 の実施の形態の製造工程図

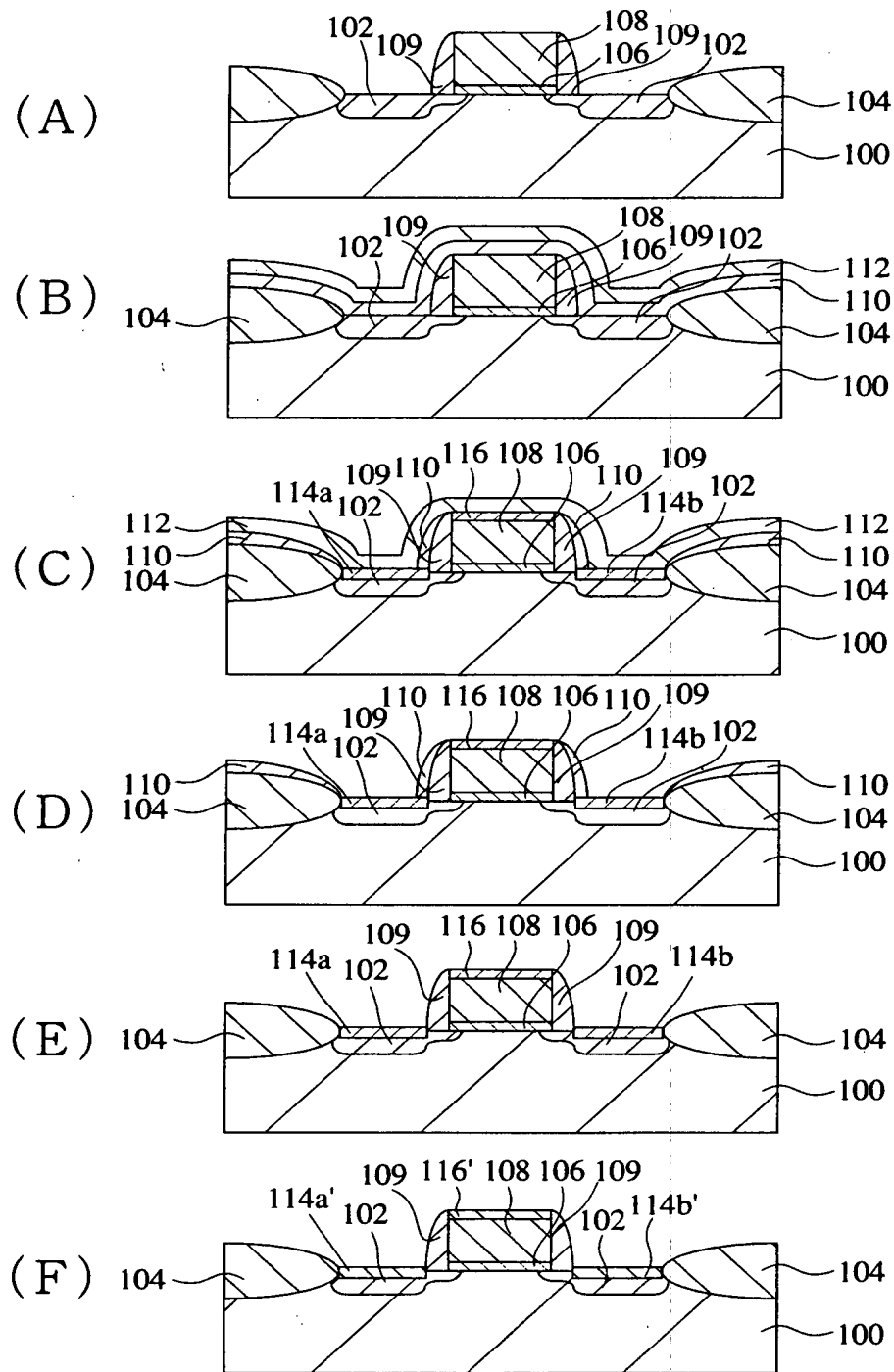
【図 2】



50：基板    52：拡散層    54：フィールド絶縁膜    56：ゲート絶縁膜  
 58：ゲート電極    59：サイドウォール    60：コバルト膜  
 62：窒化チタン膜又はチタン膜    64a, 64b, 66：CoSi 層    64a', 64b', 66'：CoSi<sub>2</sub> 層

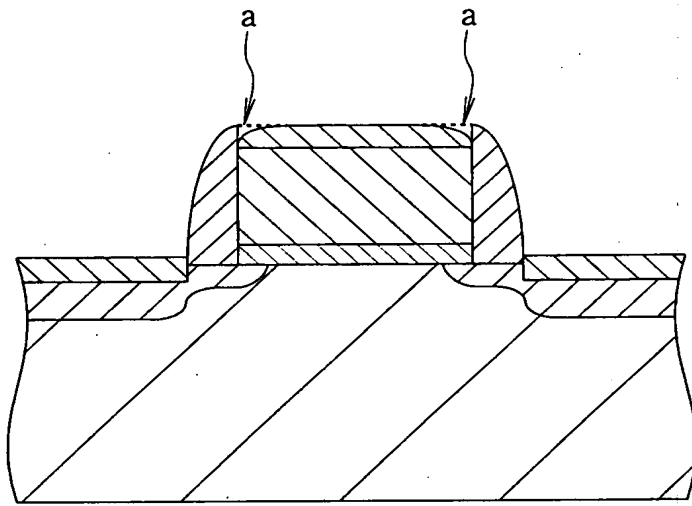
第 2 の実施の形態の製造工程図

【図 3】



従来技術の製造工程図

【図 4】



従来技術の問題点

【書類名】 要約書

【要約】

【課題】 C o S i 層を薄膜化せず、窒化チタン膜を除去することができる半導体素子の製造方法及びエッチング液。

【解決手段】 窒化チタンをキャップ膜とするコバルトサリサイド技術を用いた半導体素子の製造方法において、窒化チタン膜の除去に過酸化水素水混合液を用いる。

【選択図】 図 1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 0 - 0 6 8 0 1 0
受付番号	5 0 0 0 0 2 9 2 0 1 5
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 2 年 3 月 1 4 日

< 認定情報・付加情報 >

【提出日】	平成12年 3月13日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社